

DFW

Customer No. 31561
Application No.: 10/707,683
Docket No. 11846-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chen et al.
Application No. : 10/707,683
Filed : Jan 05, 2004
For : CHIP PACKAGE STRUCTURE AND PROCESS FOR
FABRICATING THE SAME
Examiner : N/A
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA 22202

Dear Sir:

Transmitted herewith are certified copies of Japan Application No.: JP2003-117506, filed 2003/4/22 and Taiwan Application No.: 92129523, filed 2003/10/24, respectively.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: May 31, 2005

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 1 7 5 0 6
Application Number:

[ST. 10/C]: [J P 2 0 0 3 - 1 1 7 5 0 6]

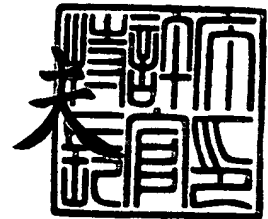
願 人
Applicant(s): 松下電工株式会社
財団法人工業技術研究院

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 3 年 8 月 1 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 5 3 2 3

【書類名】 特許願

【整理番号】 03P00778

【提出日】 平成15年 4月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/28
H01L 21/56

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 5

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 4 8 番地松下電工株式会社内

 【氏名】 福井 太郎

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 4 8 番地松下電工株式会社内

 【氏名】 根本 知明

【発明者】

 【住所又は居所】 台湾南投縣草屯鎮南埔里 3 鄰中正路 2 6 9 號

 【氏名】 陳 凱▲其▼

【発明者】

 【住所又は居所】 台湾基隆市信義區義幸里 9 鄰中興路 6 6 號 6 樓之 1

 【氏名】 黄 淑禎

【発明者】

 【住所又は居所】 台湾新竹市東區新莊街 1 7 7 號 5 樓

 【氏名】 李 巡天

【発明者】

 【住所又は居所】 台湾新竹市東區金山里 2 鄰金山北二街 1 8 號

 【氏名】 李 宗銘

【特許出願人】

 【識別番号】 000005832

 【氏名又は名称】 松下電工株式会社

【特許出願人】

【識別番号】 591066063

【氏名又は名称】 財団法人工業技術研究院

【代理人】

【識別番号】 100087767

【弁理士】

【氏名又は名称】 西川 恵清

【電話番号】 06-6345-7777

【選任した代理人】

【識別番号】 100085604

【弁理士】

【氏名又は名称】 森 厚夫

【手数料の表示】

【予納台帳番号】 053420

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9004844

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 インターポーザー上に半導体素子をフェースダウンで配置すると共にフリップチップ接合して搭載し、半導体素子のフリップチップ接合部に形成される間隙及び半導体素子の背面側を同一材料で封止して形成される半導体装置において、半導体素子の背面側に封止される封止材の厚みを半導体素子のフリップチップ接合部の間隙寸法の $1/2 \sim 2$ 倍の範囲に設定し、封止材として最大粒径が半導体素子のフリップチップ接合部の間隙寸法の $1/2$ 以下のフィラーを配合したものを用いて成ることを特徴とする半導体装置。

【請求項 2】 半導体素子をフェースダウンで配置すると共にフリップチップ接合したインターポーザーをトランスファー成形金型のキャビティ内にセットし、最大粒径が半導体素子のフリップチップ接合部に形成される間隙の寸法の $1/2$ 以下のフィラーを配合した封止材料を減圧状態のキャビティ内注入することによって、半導体素子のフリップチップ接合部の間隙に封止材を充填すると共に半導体素子の背面側を半導体素子のフリップチップ接合部の間隙寸法の $1/2 \sim 2$ 倍の範囲の厚みに封止材で封止することを特徴とする半導体装置の製造方法。

【請求項 3】 封止材を注入する際のキャビティ内の減圧度を 2.7 hPa 以下に設定することを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 トランスファー成形温度を、半導体素子をインターポーザーにフリップチップ接合するバンプ金属の融点より 5°C 以上低い温度に設定することを特徴とする請求項 2 又は 3 に記載の半導体装置の製造方法。

【請求項 5】 インターポーザー上に複数の半導体素子を搭載し、各半導体素子を一括して封止材で封止した後、隣り合う半導体素子間においてインターポーザーを切断して分割することを特徴とする請求項 2 乃至 4 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、インターポザーに半導体素子をフリップチップ実装すると共に封止して形成される半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】

インターポザーなどの基板に半導体素子を実装するにあたって、従来では、半導体素子の電極と基板の端子とを金線やアルニウム細線で接続するいわゆるワイヤボンディング法が主として用いられてきた。しかし、近年、半導体分野の進展に伴い、より高速な信号を効率よく伝達するために、ワイヤボンディング法に代わって、フリップチップ接合法が脚光を浴びている。

【0003】

フリップチップ接合は、例えば図4(a)に示すFC-CSP(Flip Chip-Chip Scale Package)のように、半導体素子2に半田や金などでバンプ6を形成し、インターポザー1に半導体素子2をフェースダウンで搭載し、インターポザー1の端子にこのバンプ6を接合することによって、バンプ6と端子を金属結合によって直接、電氣的に接続するようにしたものである。そしてこの際、半導体素子2の表面を湿度から保護したり、バンプ6を機械的ストレスから保護したりするために、通常、半導体素子2とインターポザー1との間の微細な間隙を樹脂で埋めるアンダーフィルと呼ばれる封止が行なわれる。このアンダーフィルの形成は、インターポザー1と半導体素子2の間は15~100 μ m程度の微細な間隙であるので、低粘度液状材料の封止材3aを毛細管現象によって注入させた後、加熱硬化させることによって行なうのが一般的である。11はインターポザー1に設けた外部接続用の半田ボールである。

【0004】

このようにインターポザー1に半導体素子2をフリップチップ接合した半導体装置は、従来のワイヤボンディングした半導体装置に比べて、電氣的接続の性能に優れるだけでなく、ワイヤボンディングを保護するための厚い封止材の層が不要であり、モバイル端末機の用途に要求の高い薄型パッケージを容易に実現することができるという利点も有する。しかし、インターポザー1と半導体素子2の間の微細な間隙に低粘度液状材料の封止材3aを毛細管現象で注入させるの

に時間がかかるために、アンダーフィルの生産性に問題があり、また毛細管現象という自然現象に頼るために、バンプパターンやフラックス残りなどの影響を受けて低粘度液状材料の封止材 3 a の流動性が変化し、ボイドがアンダーフィルに残って信頼性低下につながるおそれがあるという問題がある。さらに半導体素子 2 は背面側が露出しているので、この部分にマーキングを行なうことができず、また半導体装置をマウントする際のピックアップ性に問題を有する。

【0005】

また、上記のようにインターポーザー 1 と半導体素子 2 の間隙に低粘度液状材料の封止材 3 a でアンダーフィルを形成した後、図 4 (b) のように、半導体素子 2 の背面側にも封止材 3 b をモールド成形して封止することも行なわれている。この場合には、半導体素子 2 は全面が封止されているので、マーキング性やピックアップ性の問題はなくなるが、アンダーフィル封止の工程とモールド封止の工程の両方が必要となって、生産性が一層低下するという問題があり、またアンダーフィルの封止材 3 a とモールド封止の封止材 3 b の間に界面ができるため、界面剥離が発生し易いなど、耐半田性などにおいて新たに問題が生じるおそれがある。

【0006】

そこで、減圧化が可能な成形金型を用い、半導体素子 2 をフリップチップ接合したインターポーザー 1 を成形金型のキャビティ内にセットし、減圧状態でキャビティ内に封止材を注入することによって、図 4 (c) のようにインターポーザー 1 と半導体素子 2 の間の間隙に封止材 3 を充填すると共に半導体素子 2 の背面側を封止材 3 で封止するようにした半導体装置が提案されている（特許文献 1 参照）。

【0007】

【特許文献 1】

特開平 7-74194 号公報

【0008】

【発明が解決しようとする課題】

特許文献 1 の発明では、減圧状態でモールド成形を行なうことによって、イン

ターポザー 1 と半導体素子 2 の間の微細な間隙に封止材 3 を充填することが可能になり、インターポザー 1 と半導体素子 2 の間隙と半導体素子 2 の背面側とを同一の封止材 3 で同時に封止することができるものである。従ってこのものでは封止材 3 に界面が存在せず、界面剥離が発生することがなくなって、耐半田性などの信頼性を高く得ることができるものである。

【0009】

しかし、このように半導体素子 2 の背面側を封止材 3 で封止すると、この封止材 3 の厚み T で半導体装置の全体としての厚みが厚くなり、インターポザー 1 に半導体素子 2 をフェースダウンでフリップチップ接合して形成される半導体装置の薄型という特長が損なわれてしまうという問題を有するものであった。

【0010】

本発明は上記の点に鑑みてなされたものであり、薄型の特長を保持しつつ、半導体素子のフリップチップ接合部の間隙及び半導体素子の背面側を同一材料で、未充填なく封止した半導体装置及びその製造方法を提供することを目的とするものである。

【0011】

【課題を解決するための手段】

本発明の請求項 1 に係る半導体装置は、インターポザー 1 上に半導体素子 2 をフェースダウンで配置すると共にフリップチップ接合して搭載し、半導体素子 2 のフリップチップ接合部に形成される間隙及び半導体素子 2 の背面側を同一材料で封止して形成される半導体装置において、半導体素子 2 の背面側に封止される封止材 3 の厚みを半導体素子 2 のフリップチップ接合部の間隙寸法の $1/2 \sim 2$ 倍の範囲に設定し、封止材 3 として最大粒径が半導体素子 2 のフリップチップ接合部の間隙寸法の $1/2$ 以下のフィラーを配合したものをを用いて成ることを特徴とするものである。

【0012】

本発明の請求項 2 に係る半導体装置の製造方法は、半導体素子 2 をフェースダウンで配置すると共にフリップチップ接合したインターポザー 1 をトランスファー成形金型 4 のキャビティ 5 内にセットし、最大粒径が半導体素子 2 のフリッ

プチップ接合部に形成される間隙の寸法の $1/2$ 以下のフィラーを配合した封止材料を減圧状態のキャビティ 5 内に注入することによって、半導体素子 2 のフリップチップ接合部の間隙に封止材 3 を充填すると共に半導体素子 2 の背面側を半導体素子 2 のフリップチップ接合部の間隙寸法の $1/2 \sim 2$ 倍の範囲の厚みに封止材 3 で封止することを特徴とするものである。

【0013】

また請求項 3 の発明は、請求項 2 において、封止材 3 を注入する際のキャビティ 5 内の減圧度を 2.7 hPa 以下に設定することを特徴とするものである。

【0014】

また請求項 4 の発明は、請求項 2 又は 3 において、トランスファー成形温度を、半導体素子 2 をインターポーザー 1 にフリップチップ接合するバンプ 6 の金属の融点より 5°C 以上低い温度に設定することを特徴とするものである。

【0015】

また請求項 5 の発明は、請求項 2 乃至 4 のいずれかにおいて、インターポーザー 1 上に複数の半導体素子 2 を搭載し、各半導体素子 2 を一括して封止材 3 で封止した後、隣り合う半導体素子 2 間においてインターポーザー 1 を切断して分割することを特徴とするものである。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態を説明する。

【0017】

インターポーザー 1 としては、有機基板、セラミック基板、フレキシブル基板等や、これらと金属基板を組み合わせたものなどを例示することができるが、インターポーザー 1 として通常使用できるものであれば、何でもよい。

【0018】

また半導体素子 2 としては、シリコンベアチップなどの任意の半導体ベアチップを用いることができるものであり、その片側の回路形成面に半田や金などの金属材料でバンプ 6 が設けてある。

【0019】

そして、インターポザー 1 の上に半導体素子 2 を回路形成面がインターポザー 1 の側を向くフェースダウンで配置し、半導体素子 2 をバンプ 6 でフリップチップ接合することによって、インターポザー 1 の上に搭載するようにしてある。

【0020】

ここで、図 1 (a) のように、半導体素子 2 を単体で用い、インターポザー 1 に直接、半導体素子 2 をフェースダウンでフリップチップ接合するようにすることができるが、図 1 (b) (c) のように他の受動部品 12 も同時に搭載されたいわゆるモジュールとして用いるようにしてもよい。図 1 (b) の実施の形態では、インターポザー 1 の上に受動部品 12 を介して半導体素子 2 がフェースダウンでフリップチップ接合してあり、受動部品 12 を金線等のワイヤー 13 でインターポザー 1 に接続することによって、半導体素子 2 を受動部品 12 を介してインターポザー 1 に電氣的に接続するようにしてある。また図 1 (c) の実施の形態では、半導体素子 2 の上に受動部品 12 を搭載すると共に受動部品 12 の上に半導体素子 2 がフェースダウンでフリップチップ接合して上下二つの半導体素子 2 を有するモジュールとして用いるようにしてあり、下側の半導体素子 2 はインターポザー 1 にフェースダウンで直接フリップチップ接合してある。受動部品 12 はワイヤー 13 でインターポザー 1 に接続してあり、上側の半導体素子 2 は受動部品 12 を介してインターポザー 1 に電氣的に接続するようにしてある。このように、半導体素子 2 をインターポザー 1 に直接的にフェースダウンでフリップチップ接合するようにしてもよく、あるいは半導体素子 2 を受動部品 12 などを通して間接的にフェースダウンでフリップチップ接合するようにしてもよいものであり、要するに本発明では、少なくとも一つの半導体素子 2 がフェースダウンでフリップチップ接合されることによって、インターポザー 1 に搭載されていけばよいものである。

【0021】

上記のようにフェースダウンでフリップチップ接合した半導体素子 2 の回路形成面には、フリップチップ接合部においてバンプ 6 の厚みにほぼ相当する空隙が空隙として形成されている。そして本発明において、半導体素子 2 のフリップチ

ップ接合部の間隙に封止材 3 を充填してアンダーフィル封止すると共に、同じ封止材 3 で半導体素子 2 の背面や側面をモールド封止することによって、図 1 のような半導体装置 A を作製するようにしてあり、半導体素子 2 の背面側に封止される封止材 3 の厚み T は、半導体素子 2 のフリップチップ接合部に形成される間隙の寸法（間隙の厚み）L の $1/2 \sim 2$ 倍の範囲に設定してある（ $L \times 1/2 \leq T \leq L \times 2$ ）。尚、図 1(c) のように半導体素子 2 を複数段重ねた場合、背面側の封止材 3 の厚み T とフリップチップ接合部の間隙寸法 L の関係が問題になる半導体素子 2 は、上段の半導体素子 2 である。また図 1 にはインターポーザー 1 の背面に半田ボール 11 を設けたものを示したが、ランドにより接続されるタイプなど、他の接続方式で外部接続されるものであってもよい。さらに図 1 は CSP タイプのものを示しているが、端部まで封止材 3 で封止されていない BGA (Ball Grid Array) のタイプのものであってもよい。

【0022】

このように半導体素子 2 の背面側の封止材 3 の厚み T をフリップチップ接合部の間隙寸法 L の $1/2 \sim 2$ 倍の範囲に設定することによって、半導体素子 2 の背面側の封止材 3 の厚み T を十分に薄くすることができるものであり、封止材 3 の厚みで半導体装置 A の全体としての厚みが厚くなるようなことはないものである。従って、インターポーザー 1 に半導体素子 2 をフェースダウンでフリップチップ接合して形成される半導体装置 A の、薄型という特長が損なわれることを防ぐことができるものである。

【0023】

次に、半導体素子 2 のフリップチップ接合部の間隙及び半導体素子 2 の背面側を封止成形する方法について説明する。図 2 はトランスファー成形金型 4 を示すものであり、上下一対の型板 15、16 から形成してある。上型板 15 の下面と下型板 16 の上面にはそれぞれキャビティ 5 を形成する凹部が設けてあり、このキャビティ 5 にゲート 17 を介してランナー 18 が接続してある。またキャビティのゲート 17 と反対側には真空ポンプ（図示省略）に連結される吸引路 19 が接続してある。さらに、これらのキャビティ 5、ランナー 18、吸引路 19 を囲むように型板 15、16 の間にパッキン 20 を設け、成形金型 4 の型板 15、1

6を型締めしたときにキャビティ5からの空気漏れがパッキン20で防止できるようにしてある。

【0024】

そしてまず、半導体素子2をフェースダウンで配置すると共にバンプ6でフリップチップ接合し、インターポーザー1の上に半導体素子2を搭載する。次に、成形金型4を開いて、搭載した半導体素子2が上になるようにインターポーザー1を下型板16のキャビティ5にセットした後、下型板16の上に上型板15を閉じる。そして、上下の型板15、16間がパッキン20で密閉され、且つ上下の型板15、16のクランプが行なわれない状態で、真空ポンプを作動させて吸引路19を通してキャビティ5内の脱気を行なうと同時に、成形金型4のポット（図示省略）に封止材料のタブレットを投入してポット内の空気漏れを防ぎ、1～5秒保持して真空度を高めた後、上下の型板15、16をクランプし、ポットのプランジャ（図示省略）を作動させて、ランナー18からゲート17を介して溶融した封止材料を上型板15のキャビティ5内に注入する。

【0025】

ここで、上下の型板15、16をクランプして成形金型4を型締めした状態で、キャビティ5内にセットしたインターポーザー1に搭載されている半導体素子2の背面とキャビティ5の対向する内面との間の隙間寸法Sは、この半導体素子2のフリップチップ接合部の間隙寸法Lの $1/2 \sim 2$ 倍の範囲に設定してある（ $L \times 1/2 \leq S \leq L \times 2$ ）。

【0026】

また、封止材料としては、トランスファー成形による半導体封止に適用可能なものを用いることができるものであり、例えばエポキシ樹脂組成物、シリコン樹脂組成物、不飽和ポリエステル樹脂組成物などを使用することができる。封止材料には一般にシリカなどのフィラーを配合したものが使用されるが、このフィラーとしては、最大粒径が半導体素子2のフリップチップ接合部の間隙寸法Lの $1/2$ 以下であるものを用いるのが好ましい。フィラーの最大粒径の下限値は特に設定されないが、微細過ぎると粘度上昇を起こし、封止成形の際の流動性が悪くなって充填不足を起こすおそれがあるので、 $1 \mu\text{m}$ 程度以上であることが好ま

しい。

【0027】

上記のようにキャビティ 5 内を減圧状態にして、封止材料を上型板 15 のキャビティ 5 内に注入すると、成形材料はイ矢印のように半導体素子 2 のフリップチップ接合部の間隙に流入すると共に、ロ矢印のように半導体素子 2 の背面とキャビティ 5 の内面との隙間に流入し、半導体素子 2 のフリップチップ接合部の間隙に封止材 3 を充填してアンダーフィル封止すると同時に、同じ封止材 3 で半導体素子 2 の背面や側面をモールド封止することができるものであり、半導体素子 2 のフリップチップ接合部の間隙の部分及び半導体素子 2 の背面や側面を境界面のない封止材 3 で封止した、既述の図 1 のような半導体装置 A を作製することができるものである。そしてこのものにあって、半導体素子 2 の背面側に封止される封止材 3 の厚み T は、半導体素子 2 の背面とキャビティ 5 の内面の隙間寸法 S、すなわち半導体素子 2 のフリップチップ接合部の間隙寸法 L の $1/2 \sim 2$ 倍の範囲に設定されるものである。

【0028】

このとき、キャビティ 5 内は減圧されているため、半導体素子 2 のフリップチップ接合部の微小な間隙や、半導体素子 2 の背面とキャビティ 5 の内面との間の微小な隙間に、空気溜りなどが生じることなく封止材料を良好に流入させることができ、充填不良が発生することなく、短時間で封止材料を充填して封止材 3 による封止を行なうことができるものである。

【0029】

通常、半田バンプ 6 を用いた半導体素子 2 のフリップチップ接合の間隙寸法 L は $50 \sim 90 \mu\text{m}$ 程度であり、例えば間隙寸法 $L = 80 \mu\text{m}$ の場合、半導体素子 2 の背面にオーバーコートして成形される封止材 3 の厚み T は $40 \sim 160 \mu\text{m}$ である。また金バンプ 6 を用いた半導体素子 2 のフリップチップ接合の間隙寸法 L は $10 \sim 40 \mu\text{m}$ 程度が一般的であるが、例えば間隙寸法 $L = 20 \mu\text{m}$ の場合、半導体素子 2 の背面にオーバーコートして成形される封止材 3 の厚み T は $10 \sim 40 \mu\text{m}$ である。このような微小な隙間に封止材料を充填して微小な厚みで封止材 3 を成形する場合、通常の常圧でのトランスファー封止成形では未充填となり

、微小な厚みで封止材 3 を成形することは不可能である。従って本発明では減圧状態でトランスファー封止成形を行なうものであり、キャビティ 5 内の減圧度を 27 hPa (20 Torr) 以下に設定するのが好ましく、より好ましくは 13 hPa (10 Torr) 以下に設定するのがよい。キャビティ 5 内の減圧度は低いほど好ましく、 0 Pa であることが理想的である。

【0030】

ここで、半導体素子 2 の背面とキャビティ 5 の内面との隙間寸法 S が半導体素子 2 のフリップチップ接合部の間隙寸法 L の $1/2$ 未満であると、熔融した封止材料のキャビティ 5 内での流れは、半導体素子 2 のフリップチップ接合部の間隙に流入する矢印の流れが先に進行し、半導体素子 2 の背面とキャビティ 5 の内面との隙間の周囲が封止材料で囲まれて未充填が生じ易くなり、半導体素子 2 の背面に封止不良が発生するおそれがある。逆に半導体素子 2 の背面とキャビティ 5 の内面との隙間寸法 S が半導体素子 2 のフリップチップ接合部の間隙寸法 L の 2 倍を超えると、熔融した封止材料のキャビティ 5 内での流れは、半導体素子 2 の背面とキャビティ 5 の内面との隙間に流入する矢印の流れが先に進行し、半導体素子 2 のフリップチップ接合部の間隙の周囲が封止材料で囲まれて未充填が生じ易くなり、半導体素子 2 のフリップチップ接合部の間隙に封止不良が発生するおそれがある。また本発明の本来の目的である半導体装置の薄型化が損なわれることにもなる。

【0031】

また、封止材料に配合されるフィラーが、その最大粒径が半導体素子 2 のフリップチップ接合部の間隙寸法 L の $1/2$ を超えるものであると、半導体素子 2 のフリップチップ接合部の微小な間隙や、半導体素子 2 の背面とキャビティ 5 の内面の微小な隙間に封止材料が流入し難くなり、半導体素子 2 のフリップチップ接合部の間隙や、半導体素子 2 の背面とキャビティ 5 の内面の隙間に未充填が生じ、封止不良が発生するおそれがある。このため、封止材料に配合されるフィラーとして、最大粒径が半導体素子 2 のフリップチップ接合部の間隙寸法 L の $1/2$ 以下であるものを用いるのが好ましいのである。

【0032】

さらに、上記のようにトランスファー封止成形を行なうにあたって、成形温度すなわち成形金型 4 の温度は、半導体素子 2 に設けたバンプ 6 を構成する金属の融点から 5℃低い温度（融点－5℃）よりも低い温度であることが好ましく、融点から 10℃低い温度よりも低い温度であることがより好ましい。成形温度がこの温度を超えて高いと、インターポーザー 1 に半導体素子 2 をフリップチップ接合しているバンプ 6 の強度が弱くなり、トランスファー成形時の溶融封止材料の注入圧力に対してフリップチップ接合が外れ、半導体素子 2 の脱落やフリップチップ接合不良などのトラブルを生じ易くなるものである。成形温度の下限は特に設定されるものではないが、封止材料を硬化させる温度よりも高い温度である必要はある。

【0033】

図 3 は本発明の他の実施の形態を示すものであり、インターポーザー 1 の上に複数の半導体素子 2 をマトリクスアレイ状に配置し、各半導体素子 2 をフェースダウンでフリップチップ接合して搭載してある。そしてこの複数の半導体素子 2 を搭載したインターポーザー 1 を上記と同様にしてトランスファー成形金型 4 のキャビティ 5 にセットし、減圧状態でキャビティ 5 内に封止材料を注入するトランスファー封止成形を行なうことによって、図 3（a）のように、各半導体素子 2 のフリップチップ接合部の間隙の部分及び各半導体素子 2 の背面や側面を封止材 3 で一括して封止する。このように各半導体素子 2 を封止した後、成形金型 4 から取り出し、隣り合う半導体素子 2 の間の箇所でインターポーザー 1 及び封止材 3 をダイシング工程で切断することによって（切断箇所を図 3（a）に鎖線で示す）、各半導体素子 2 を搭載した部分を分割して個片化し、図 3（b）のような半導体装置 A を得ることができるものである。

【0034】

このようにして、インターポーザー 1 上の複数の半導体素子 2 を一括して封止成形した後、切断して切り離すことによって、多数の半導体装置 A を同時に製造することができるものであり、高い生産性で多数の半導体装置 A を製造することができるものである。また半導体装置 A の品種変更やサイズ変更をする場合、封止成形する成形金型 4 を特に変更することなく、インターポーザー 1 上の半導体

素子 2 の配置や、切断位置を変更することによって対処することができるものであり、半導体装置 A の設計変更に対応することができるものである。

【0035】

【実施例】

次に、本発明を実施例によって具体的に説明する。

【0036】

（実施例 1）

0.25mmピッチで120個の共晶半田バンプ（融点183℃）を周辺部に設けた、8mm×8mm×厚さ0.3mmの半導体素子を用いた。またインターポザーとして50mm×50mm×厚さ0.2mmのFR-5タイプのエポキシ樹脂プリント配線板を用いた。そしてこのインターポザーの片面に4列×4列のマトリクスアレイ配置で半導体素子をフリップチップ接合し、フェースダウンで搭載した。このインターポザーは、後記のように個片化することによって10.5mm×10.5mmのパッケージとなるように設計した回路形成がしてある。また半導体素子とインターポザーの間のフリップチップ接合部の間隙寸法は70～75μmであった。

【0037】

次に、この半導体素子を搭載したインターポザーを成形金型にセットしてクランプした。この成形金型として、封止材料を注入する注入空間の寸法が45mm×45mm×0.5mmのキャビティを形成したものをを用いた。そしてキャビティ内を真空ポンプで引いて減圧した状態で、表1に示す配合の封止材料を6.9MPa（70kgf/cm²）の成形圧で3分間トランスファー成形することによって、図3（a）のように各半導体素子を封止材で一括して封止した。これを成形金型から取り出して、175℃で5時間アフターキュアー処理を行なった後、ダイシングカットして個片化を行なうことによって、図3（b）の構成のフリップチップタイプCSPパッケージの半導体装置を得た。

【0038】

ここで、トランスファー成形は、成形温度170℃、キャビティの減圧度1.

3 hPa (1 Torr) で行ない、封止材料のフィラーとして、平均粒径 $5\ \mu\text{m}$ 、最大粒径 $21\ \mu\text{m}$ のシリカを用いた。そして、封止成形して得られた半導体装置を切断して、半導体素子の背面にオーバーコートして封止された封止材の厚みを測定したところ、 $130\ \mu\text{m}$ であり、フリップチップ接合部の間隙寸法の 1.8 倍であった。

【0039】

【表 1】

(質量部)		
ビフェニル型エポキシ樹脂		97.2
フェノールノボラック樹脂		52.4
トリフェニルホスフィン		1.5
シリコーンパウダー		20
球状熔融シリカ	平均粒径 $5\ \mu\text{m}$	820
	最大粒径 $21\ \mu\text{m}$	
γ -グリシドキシプロピルトリメトキシシラン		4.9
天然カルナバワックス		2
カーボンブラック		2

【0040】

【表 2】

	実施例 1, 6, 7 比較例 1, 5	実施例 2	実施例 3	実施例 4	実施例 5	比較例 2	比較例 3	比較例 4
成形温度	170°C	←	←	160°C	180°C	170°C	←	←
減圧度	1.3hPa (1Torr)	20hPa (15Torr)	107hPa (80Torr)	1.3hPa (1Torr)	←	常圧	1.3hPa (1Torr)	←
フィラー種類 (シリカ)	A	←	←	←	←	←	B	C

フィラー A : 平均粒径 $5\ \mu\text{m}$ 、最大粒径 $21\ \mu\text{m}$

フィラー B : 平均粒径 $13\ \mu\text{m}$ 、最大粒径 $40\ \mu\text{m}$

フィラー C : 平均粒径 $13\ \mu\text{m}$ 、最大粒径 $74\ \mu\text{m}$

【0041】

【表 3】

	実施例 1	実施例 2	実施例 3	実施例 4	実施例 5	実施例 6	実施例 7
オーバーコート封止材厚み (μm)	1 3 0	1 3 0	1 3 0	1 3 0	1 3 0	5 0	1 2 0
指数 (* 1)	1. 8	1. 8	1. 8	1. 8	1. 8	0. 7	1. 5

	比較例 1	比較例 2	比較例 3	比較例 4	比較例 5	比較例 6
オーバーコート封止材厚み (μm)	1 3 0	1 3 0	1 3 0	1 3 0	3 0	2 8 0
指数 (* 1)	1. 8	1. 8	1. 8	1. 8	0. 4	3. 9

* 1 : (オーバーコート封止材厚み) / (半導体素子のフリップチップ接合部の間隙距離)

【0 0 4 2】

(実施例 2、実施例 3)

キャビティの減圧度を表 2 のように設定して、トランスファー成形を行なうようにした他は、実施例 1 と同様にして半導体装置を得た。そして得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表 3 に示す。

【0 0 4 3】

(実施例 4、実施例 5)

成形温度を表 2 のように設定して、トランスファー成形を行なうようにした他は、実施例 1 と同様にして半導体装置を得た。そして得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表 3 に示す。

【0 0 4 4】

(実施例 6)

封止材料を注入する注入空間の寸法が $4.5\text{ mm} \times 4.5\text{ mm} \times 0.42\text{ mm}$ のキャビティを形成した成形金型を用いてトランスファー成形を行なうようにした他は、実施例 1 と同様にして半導体装置を得た。そして得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表 3 に示す。

【0 0 4 5】

(実施例 7)

0.25 mm ピッチで 800 個の共晶半田バンプ (融点 183°C) をアレイ状に設けた、 $8\text{ mm} \times 8\text{ mm} \times$ 厚さ 0.2 mm の半導体素子を用いた。またインタ

ーポーターとして 35 mm×35 mm×厚さ 0.4 mm の FR-5 タイプのエポキシ樹脂プリント配線板を用いた。そしてこのインターポーターに半導体素子をフリップチップ接合し、フェースダウンで搭載した。半導体素子とインターポーターの間のフリップチップ接合部の間隙寸法は 80～85 μ m であった。

【0046】

あとは、封止材料を注入する注入空間の寸法が 27 mm×27 mm×0.4 mm のキャビティを形成した成形金型を用い、実施例 1 と同様にしてトランスファー成形を行なうことによって、図 1 (a) の構成のフリップチップタイプ BGA パッケージの半導体装置を得た。そして得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表 3 に示す。

【0047】

(比較例 1)

実施例 1 と同様にしてインターポーターに半導体素子を搭載した。そしてまず、浸入型アンダーフィル封止材料(松下電工株式会社製「CV5183F」)を各半導体素子のフリップチップ接合部の間隙に注入し、100℃、1時間の条件で硬化させた。

【0048】

このようにアンダーフィル封止をした後、半導体素子を搭載したインターポーターを実施例 1 と同じ成形金型にセットし、実施例 1 と同様にしてトランスファー成形を行ない、図 4 (b) の構成の半導体装置を得た。得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表 3 に示す。

【0049】

(比較例 2)

キャビティの減圧を行なわないで、トランスファー成形を行なうようにした他は、実施例 1 と同様にして半導体装置を得た。得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表 3 に示す。

【0050】

(比較例 3、比較例 4)

最大粒径が表 2 のように大きいフィラーを配合した封止材料を用いて、トラン

スファーマ成形を行なうようにした他は、実施例 1 と同様にして半導体装置を得た。得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表 3 に示す。

【0051】

(比較例 5)

封止材料を注入する注入空間の寸法が $4.5\text{ mm} \times 4.5\text{ mm} \times 0.4\text{ mm}$ のキャビティを形成した成形金型を用いてトランスファーマ成形を行なうようにした他は、実施例 1 と同様にして半導体装置を得た。得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表 3 に示す。

【0052】

(比較例 6)

封止材料を注入する注入空間の寸法が $4.5\text{ mm} \times 4.5\text{ mm} \times 0.65\text{ mm}$ のキャビティを形成した成形金型を用いてトランスファーマ成形を行なうようにした他は、実施例 1 と同様にして半導体装置を得た。得られた半導体装置の半導体素子の背面のオーバーコート封止材の厚みを表 3 に示す。

【0053】

上記の実施例 1 ～ 7 及び比較例 1 ～ 6 で得た半導体装置について、パッケージ厚、アンダーフィル部充填性、オーバーコート部充填性、耐半田性、温度サイクル信頼性、PCT 信頼性を測定した。

【0054】

ここで、パッケージ厚は、トランスポーザーと封止部の厚みの合計厚である。オーバーコート部充填性は、半導体素子の背面側の面積に対して封止材が充填されている面積割合を目視で測定し、充填率として算出して評価した。またアンダーフィル部充填性は、トランスポーザーを剥がして、半導体素子の接合側の面積に対して封止材が充填されている面積割合を目視で測定し、充填率として算出して評価した。耐半田性は試料数 11 個で試験を行ない、JEDEC (Joint Electron Device Engineering Council) が定めるレベル 2 をクリアするとき「◎」、レベル 3 をクリアするとき「○」、レベル 3 をクリアできないとき「×」と評価した。温度サイクル信頼性は、 -65°C で 15 分間、室温で 5 分間、 150°C

で15分間を1サイクルとして、11個の試料について寒熱サイクル試験を2000サイクルまで行ない、不良発生までのサイクル回数をカウントして評価した。PCT信頼性は、121℃、2気圧でプレッシャクッカーテストを行ない、不良発生までの時間を測定して評価した。これらの結果を表4に示す。

【0055】

【表4】

	実施例1	実施例2	実施例3	実施例4	実施例5	実施例6	実施例7
パッケージ厚(mm)	0.7	0.7	0.7	0.7	0.7	0.62	0.8
アンダーフィル部充填性	100%	99%	97%	100%	100%	100%	100%
オーバーコート部充填性	100%	95%	90%	100%	100%	100%	100%
耐半田性	◎	○	○	◎	◎	◎	◎
温度サイクル信頼性	2000サイクル	2000サイクル	2000サイクル	2000サイクル	2000サイクル	2000サイクル	2000サイクル
PCT信頼性	>500時間	>500時間	>500時間	>500時間	>500時間	>500時間	>500時間
その他					*2		

*2：成形総数32パッケージ中、2パッケージで半導体素子浮き発生／残りの良品で評価実施

	比較例1	比較例2	比較例3	比較例4	比較例5	比較例6
パッケージ厚(mm)	0.7	0.7	0.7	0.7	0.6	0.85
アンダーフィル部充填性	100%	15%	40%	30%	100%	100%
オーバーコート部充填性	100%	40%	70%	50%	60%	100%
耐半田性	○	×	×	×	◎	◎
温度サイクル信頼性	500サイクル	—	—	—	2000サイクル	2000サイクル
PCT信頼性	168時間	—	—	—	>500時間	>500時間

【0056】

【発明の効果】

上記のように本発明の請求項1に係る半導体装置は、半導体素子のフリップチップ接合部の間隙の他に、半導体素子の背面側を薄い厚みの封止材で未充填なく封止されており、フリップチップ接合における薄型の特長を保持しつつ、半導体素子のフリップチップ接合部の間隙及び半導体素子の背面側を同一材料で、界面なく封止された半導体装置を得ることができるものである。

【0057】

本発明の請求項2に係る半導体装置の製造方法は、半導体素子のフリップチップ接合部の微小な間隙や、半導体素子の背面側の微小な隙間に未充填なく封止材料を充填して成形することができ、フリップチップ接合における薄型の特長を保

持しつつ、半導体素子のフリップチップ接合部の間隙及び半導体素子の背面側を同一材料で、界面のない封止を行なった半導体装置を製造することができるものである。

【0 0 5 8】

また請求項 3 の発明によって、半導体素子のフリップチップ接合部の微小な間隙や、半導体素子の背面側の微小な隙間に、未充填なく封止材料を充填して成形することができるものである。

【0 0 5 9】

また請求項 4 の発明によって、フリップチップ接合しているバンプの強度を低下させないで成形を行なうことができ、トランスファー成形時の熔融封止材料の注入圧力でフリップチップ接合が外れるようなことを防止することができるものである。

【0 0 6 0】

また請求項 5 の発明によって、多数の半導体装置を同時に製造することができるものであり、高い生産性で製造を行なうことができるものである。

【図面の簡単な説明】

【図 1】

本発明の実施の形態を示すものであり、(a)、(b)、(c)はそれぞれ断面図である。

【図 2】

同上のトランスファー成形を示す断面図である。

【図 3】

同上の他の実施の形態を示すものであり、(a)、(b)はそれぞれ断面図である。

【図 4】

従来例を示すものであり、(a)、(b)、(c)はそれぞれ断面図である。

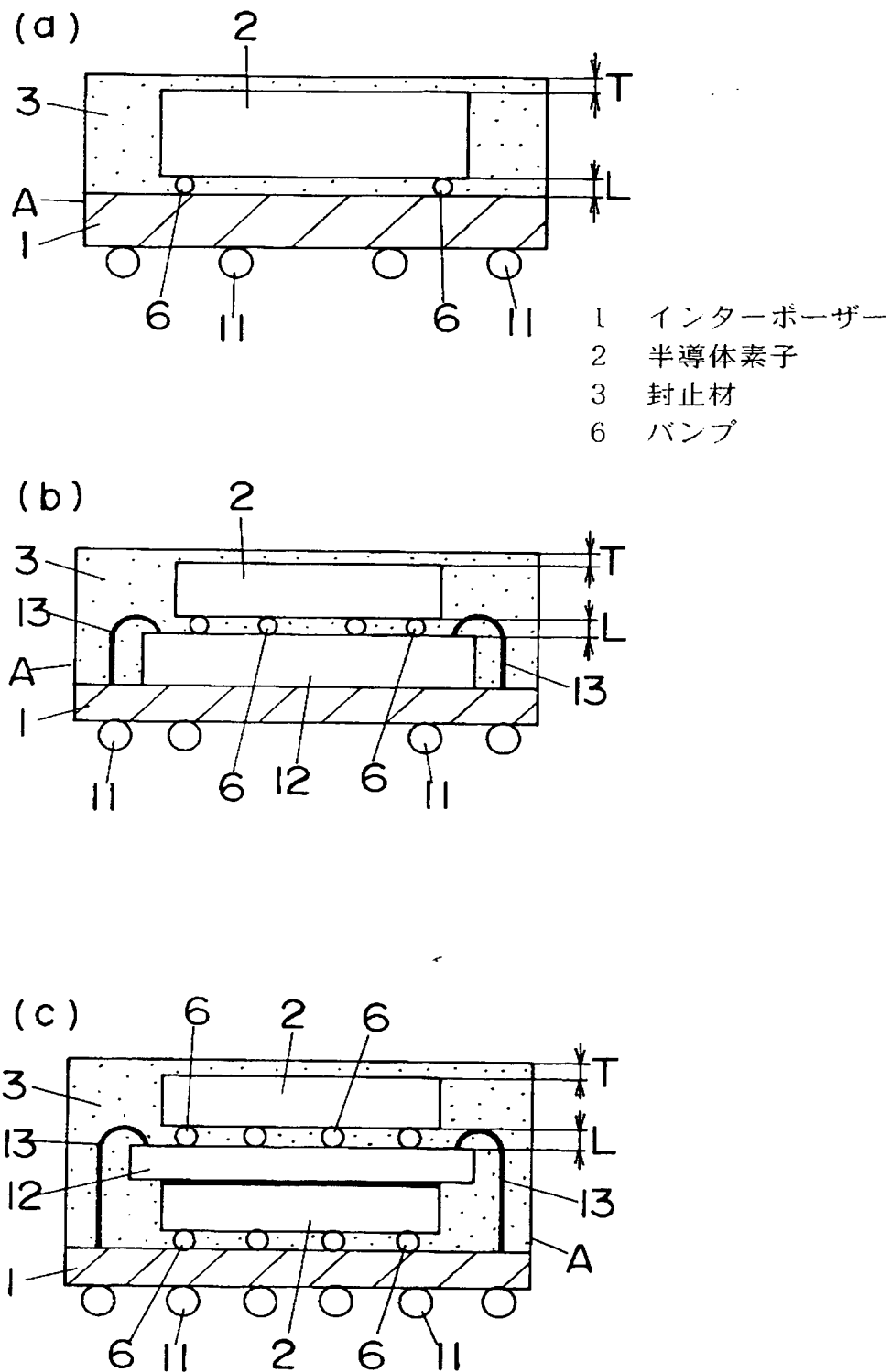
【符号の説明】

- 1 インターポーザー
- 2 半導体素子

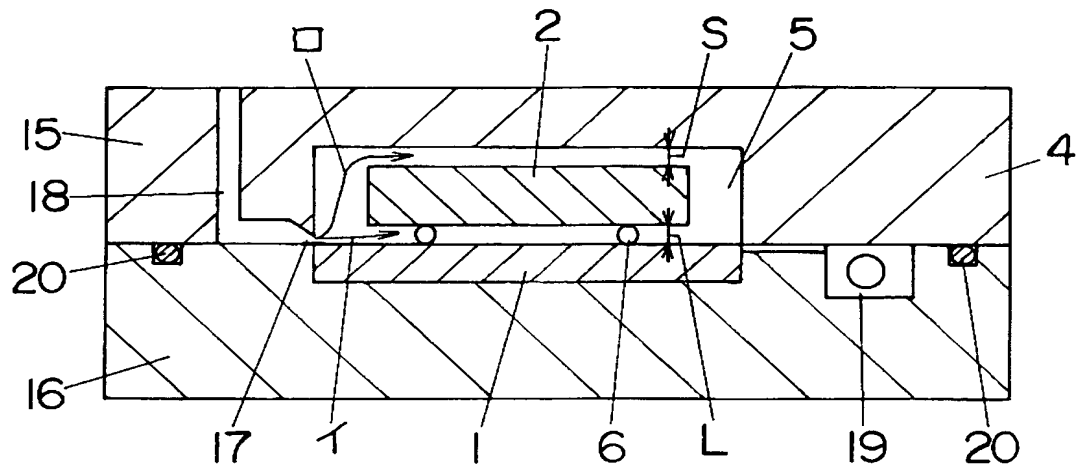
- 3 封止材
- 4 成形金型
- 5 キャビティ
- 6 バンプ

【書類名】 図面

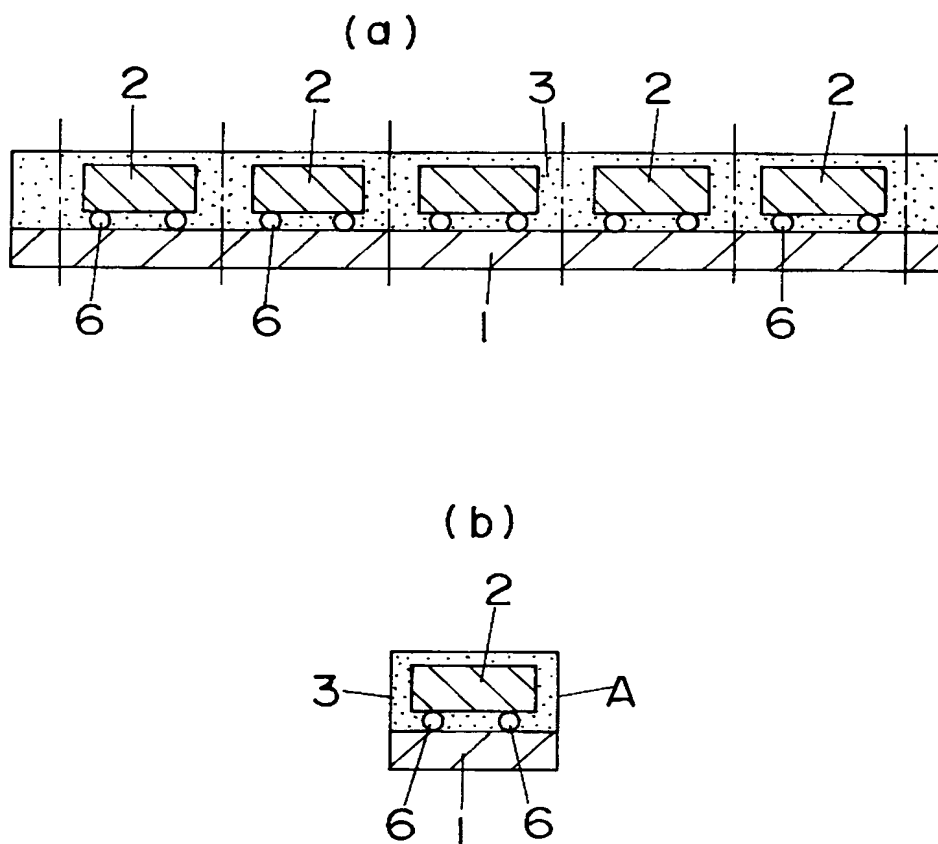
【図 1】



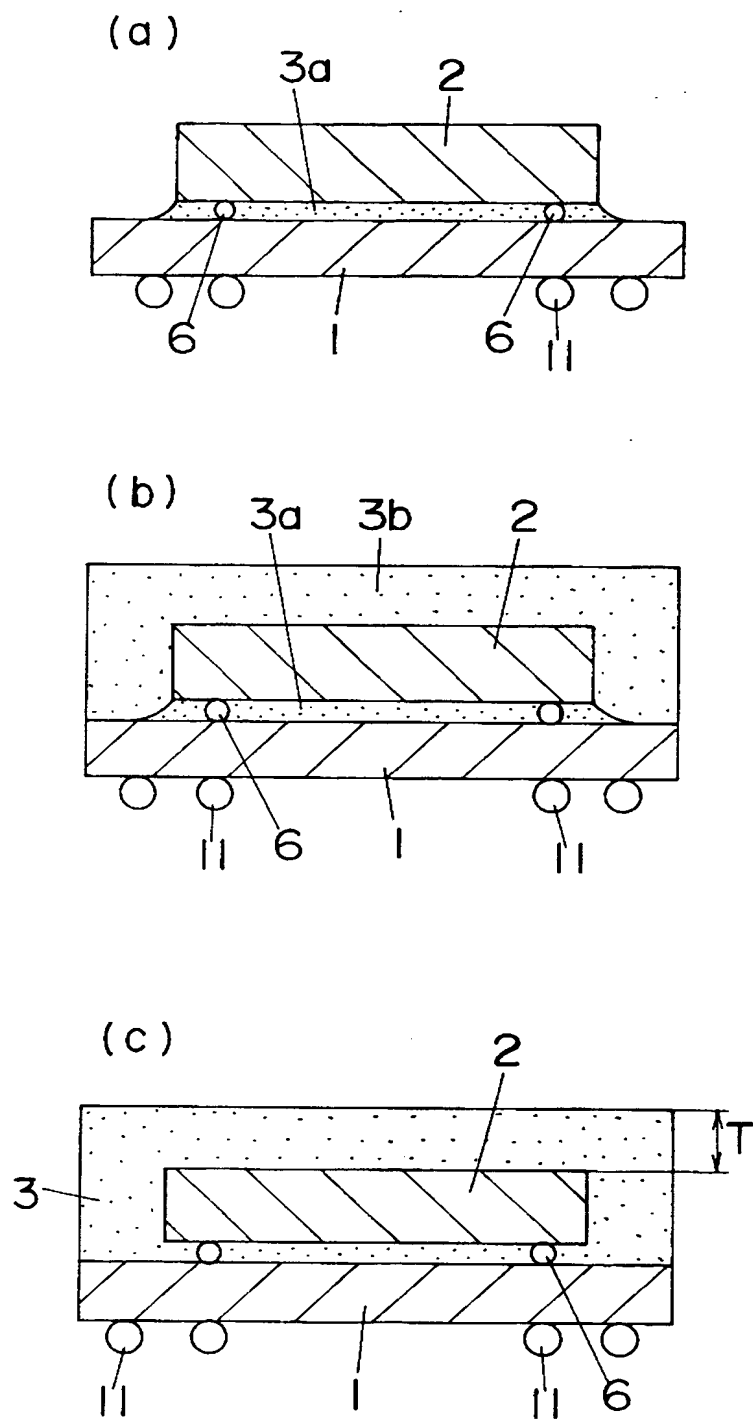
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 薄型の特長を保持しつつ、半導体素子のフリップチップ接合部の間隙及び半導体素子の背面側を同一材料で、未充填なく封止した半導体装置を提供する。

【解決手段】 インターポーザー 1 上に半導体素子 2 をフェースダウンで配置すると共にフリップチップ接合して搭載し、半導体素子 2 のフリップチップ接合部に形成される間隙及び半導体素子 2 の背面側を同一材料で封止して形成される半導体装置に関する。半導体素子 2 の背面側に封止される封止材 3 の厚みを半導体素子 2 のフリップチップ接合部の間隙寸法の $1/2 \sim 2$ 倍の範囲に設定する。また封止材 3 として最大粒径が半導体素子 2 のフリップチップ接合部の間隙寸法の $1/2$ 以下のフィラーを配合したものをを用いる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2003-117506
受付番号	50300670833
書類名	特許願
担当官	植田 晴穂 6992
作成日	平成 15 年 4 月 23 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005832
【住所又は居所】	大阪府門真市大字門真 1048 番地
【氏名又は名称】	松下電工株式会社

【特許出願人】

【識別番号】	390023582
【住所又は居所】	台湾新竹縣竹東鎮中興路四段 195 號
【氏名又は名称】	財団法人工業技術研究院

【代理人】

申請人

【識別番号】	100087767
【住所又は居所】	大阪市北区梅田 1 丁目 12 番 17 号 梅田第一生命ビル 5 階 北斗特許事務所
【氏名又は名称】	西川 恵清

【選任した代理人】

【識別番号】	100085604
【住所又は居所】	大阪市北区梅田 1 丁目 12 番 17 号 梅田第一生命ビル 5 階 北斗特許事務所
【氏名又は名称】	森 厚夫

次頁無

特願 2 0 0 3 - 1 1 7 5 0 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 3 2]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 3 0 日

[変 更 理 由]

新 規 登 録

住 所

大 阪 府 門 真 市 大 字 門 真 1 0 4 8 番 地

氏 名

松 下 電 工 株 式 会 社

特願 2 0 0 3 - 1 1 7 5 0 6

出 願 人 履 歴 情 報

識別番号 [5 9 1 0 6 6 0 6 3]

1. 変更年月日 1 9 9 1 年 1 0 月 7 日
[変更理由] 識別番号の二重登録による抹消
[統合先識別番号] 3 9 0 0 2 3 5 8 2
住 所 台湾新竹縣竹東鎮中興路四段 1 9 5 號
氏 名 財團法人工業技術研究院

特願 2 0 0 3 - 1 1 7 5 0 6

出 願 人 履 歴 情 報

識別番号 [3 9 0 0 2 3 5 8 2]

1. 変更年月日 1 9 9 1 年 1 0 月 7 日
[変更理由] 識別番号の二重登録による統合
[統合元識別番号] 5 9 1 0 6 6 0 6 3
住 所 台湾新竹縣竹東鎮中興路四段 1 9 5 號
氏 名 財団法人工業技術研究院